

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

Japanese Laid-Open Patent

Laid-open No. 55-050663

Laid-Open Date April 12, 1980

Application No. 53-124021

Filing Date October 7, 1978

Inventor Shumpei Yamazaki

7-21-21 Kitakarasuyama, Setagaya, Tokyo

Applicant Semiconductor Energy Laboratory Co., Ltd.

**SPECIFICATION**

**Title of Invention**

A semiconductor device and the manufacturing method thereof

**What is claimed:**

1. A semiconductor device wherein at least a part of the channel formation region of a insulated gate type field effect transistor is formed by non-single crystal semiconductor, and an inert gas such as hydrogen, helium, or neon, or a halogenide such as chlorine at a concentration of 0.1 mole% or more is added to said semiconductor.

2. The semiconductor device of claim 1 wherein a non-single crystal semiconductor layer is formed over the insulator formed on the substrate.

3. The production method of a semiconductor device wherein a semiconductor substrate, or a semiconductor device formed on a semiconductor substrate is held under the ambient of an inductively excited inert gas or halogenide such as chlorine kept at a pressure of  $1 \times 10^{-2}$ mmHg or more, and to perform induction curing.

**Detailed Description of the present Invention**

The present invention relates to a semiconductor device having non-single crystal semiconductor at least partially, and the manufacturing method thereof.

The present invention relates to an insulated gate type field effect transistor (hereinafter referred to as MIS-FET) wherein a non-single crystal semiconductor, such as amorphous or polycrystal, constitutes at least a part of the channel formation region under the gate insulator, and an inert gas such as hydrogen, helium, or neon, or a halogenide such as chlorine at a concentration of 0.1 mole% or more is added. The object of the present invention is to neutralize and eliminate the recombination centers of dangling bonds reside in the non-crystal semiconductor region, by foregoing method.

It is also purposed to set the mobility of electrons and holes to the same level of, or almost the same level as that of single crystal semiconductors.

The present invention aims to be able to form the second MIS-FET on or on the upper layer of; a semiconductor substrate which has a MIS-FET, a capacitor, and a resistor or a diode formed on it, a substrate which has an insulator formed on it, or a substrate which has the first MIS-FET formed on it.

The present invention relates to a semiconductor manufacturing method wherein an inert gas such as hydrogen (including deuterium), helium, or neon, or a halogenide such as chlorine kept in the ambient air at a pressure of  $10^{-2}$  mmHg or more, and the ambient gas thereof is activated by high-frequency or micro-wave energy to be add to a non-single crystal semiconductor device having P or N conductivity type and a impurity at a concentration of  $2 \times 10^{19} \text{ cm}^{-3}$  or less, for example,  $10^{14}$  to  $10^{17} \text{ cm}^{-3}$ .

The semiconductor device manufacturing known heretofore merely composes and integrates MIS-FET or bipolar transistors, capacitors, resistors and diodes onto a single crystal semiconductor substrate.

Therefore, an active element as a MIS-FET or a transistor, is always formed on a single crystal substrate. Especially, for the channel region of a MIS-FET, and the base and the collector

of a bipolar transistor, single crystal semiconductors with sufficiently small concentration of recombination centers for carriers, electrons and holes, are used, since the lifetime of the carriers delicately affects said regions. Also, lattice defects or other lattice incommensurability and recombination centers by dangling bonds are the main factors of the soft breakdown or leak increase in reverse breakdown voltage at a PN junction.

The semiconductor device of the present invention was realized by enabling a reduction of the concentration of the recombination centers not in a single crystal semiconductor, but in a non-single crystal semiconductor (polycrystal or amorphous) to a small enough level.

In general, to form a semiconductor device, various ranges of temperatures are required. For example, in manufacturing a silicon semiconductor, impurity diffusion process at 900 to 1200°C, aluminum contact alloy process at 400 to 550°C, and thin film formation process by gas phase method (low-pressure CVD) for silicon oxide, silicon nitride and silicon at 350 to 900°C are required. The present invention is characterized as a method adopting a process wherein an inert gas such as hydrogen, helium or neon, or a halogenide such as chlorine, in a chemically activated state, or an atomic state, is applied to a finished or partially finished substrate which has gone through all, or a part of the foregoing processes. In the present invention, such doping process is also called in a generic term, "induction curing". The advantage of the present invention resides in the fact that it electrically neutralizes a semiconductor, especially a non-single crystal semiconductor by the processes; applying high-frequency energy or micro-wave energy to inductively excite hydrogen elements (including deuterium) to make them chemically active, and leaving a semiconductor for 5 minutes to 2 hours in that atmosphere at a pressure of  $10^{-2}$  mmHg or more, so that the

hydrogen elements are linked with the dangling bonds in the semiconductor, and also assist in making covalent bonds.

The following is the explanation of the present invention in accordance with its embodiment.

Fig. 1 is a cross-section of a MIS type field effect semiconductor.

The present invention was realized by the processes; forming a thin film of silicon oxide or silicon nitride in a thickness of 200Å to 200 $\mu$ , and implanting oxygen or nitrogen ions to the silicon substrate (1) surface by ion implantation at 150 to 300KeV. Said substrate is annealed for 10 to 30 minutes at 900 to 1100°C under a low-pressure or hydrogen atmosphere. Over this substrate, a silicon film is formed through low-pressure gas phase method in which silane(SiH<sub>4</sub>), dichlorosilane(SiH<sub>2</sub>Cl<sub>2</sub>), and other silicide are made into a reaction gas at a pressure of 0.1 to 10TORR(mmHg) and at a temperature of 500 to 900°C. For a heating source, RF induction of 1 to 10MHz is used, however, it can be substituted by resistance heating. This semiconductor film formation by low-pressure gas phase method was performed in accordance with Japanese patent pub. No. 51-1389. Of course it can be substituted by glow discharge method at a temperature of room to 500°C, or sputtering method.

By aforementioned processes, a silicon semiconductor film is formed in a thickness of 0.1 to 2 $\mu$ . This film surface is a polycrystal when the insulating layer (2) is pure SiO<sub>2</sub> or SiN<sub>4</sub>, though it has an epitaxial structure partially containing non-single crystal when the volume of oxygen or nitrogen contained in the insulating layer is at 10<sup>18</sup> to 10<sup>21</sup>cm<sup>-3</sup>. However, the semiconductor film formed in this embodiment indicated a substantial epitaxial structure. It is very important to try reducing recombination centers to make the semiconductor as close to a complete crystal as possible.

The object of the present invention is to eliminate the recombination centers from a semiconductor film which holds a large concentration of recombination centers by inductive electric energy.

A field insulator (3) is formed in a thickness of 1 to  $2\mu$  in accordance with Japanese patents (pub. No.52-20312 and No.50-37500) invented by the present inventor. After this process, a 100 to 1000A thick gate insulating film (12), and if necessary, a contact (7) of the silicon semiconductor, then a gate electrode (11) by self-align method and a semiconductor film by low-pressure CVD method are formed respectively.

In addition, an overcoat (10) of  $\text{SiO}_2$  film in a thickness of 0.5 to  $2\mu$  is formed. To make the surface of this film flat, PIQ etc. can be also used instead of  $\text{SiO}_2$  film. A hole (8) for aluminum electrode is made, and an aluminum electrode and a lead (8) are formed. When the channel formation region (4) is a P-type, phosphorus and arsenic impurities are used in formation of a source (5) and a drain (6) to make them  $\text{N}^+$ -type of  $10^{18}$  to  $10^{21}\text{cm}^{-3}$ . For the gate electrode material, a metal such as molybdate or tungsten can be also used. Also, phosphorus impurity at a concentration of  $10^{19}\text{cm}^{-3}$  or more can be added to make it a low-resistance semiconductor lead. When this impurity concentration was at  $10^{19}\text{cm}^{-3}$  or more, especially at  $10^{21}\text{cm}^{-3}$ , the neutralization effect by the electric energy was not observed. On the other hand, the concentration of impurity in the channel formation region was as low as  $10^{14}$  to  $10^{17}\text{cm}^{-3}$ , and was very sensitive.

It was widely known that carriers, electrons and holes, in a single crystal usually have structure-sensitivity. However, the present invention discovered that the structure-sensitivity is resulted by not the crystal structure, but the reaction of the recombination centers reside in it. The present invention aimed to neutralize and eliminate these recombination centers which

gives this sensitivity to carriers. To realize that, the present invention adopted a process adding 0.1 mole%, typically 5 to 20 mole%, of hydrogen or helium. When hydrogen was added to the completed fig.1 (A) device, the lifetime of the carriers increased by  $10^3$  to  $10^5$  times. A C-V diode indicated the order of  $Q_{ss} \sim 10^{10} \text{cm}^{-2}$  which is almost the same C-V characteristic as the theory. The following is the method used for chemical excitation of an inert gas such as hydrogen or helium, or a halogenide such as chlorine. The apparatus is arranged in the way as such; a lateral type quartz tube having diameter of 5 to 20cm, typically 15 cm and length of 2m surrounded by RF induction furnaces, and a copper pipe coiled over them for water cooling purpose. The frequency used was 1 to 20MHz. An resistance heating furnace was placed the outside, and a heating element was arranged as to face vertically to the electromagnetic wave from the induction furnaces. The RF furnaces of 30 to 100KW were used. 5 to 55 pieces of the fig.1 (A) substrates, for example, silicon substrates(diameter of 10cm) standing on a port were loaded into the reaction tube. The ambient pressure was reduced down to  $10^{-3} \text{mmHg}$ . Hydrogen was applied into the tube, then the pressure was brought back up to the normal level. The tube was vacuumed once again to  $10^{-2}$  to  $10^{-3} \text{mmHg}$ , then set at  $10^{-1}$  to  $10 \text{mmHg}$ . While a reaction element, hydrogen or helium was being applied continuously from one end, the tube was being vacuumed continuously from the other end by a rotary pump etc.

After heating the substrates to 300 to 500°C by the resistance heating furnace, voltage excitation was applied to the induction furnaces to perform doping. When current excitation was performed, it was found to be unfavorable by an observation that it heated only the metal walls or metallic parts of the substrates. Therefore, voltage excitation was adopted for activating the reaction gas. Moreover, when the temperature is 300°C or more, hydrogen atoms or helium atoms can move freely in a solid body

as they are interstitial atoms. Therefore, the atoms could be doped to the concentration of a sufficiently equilibrium state.

After the doping, the ambient temperature was reduced down to the room temperature. In the mean time, the excitation of the reaction gas was continuously being performed. More precisely, heating + excitation were performed for 5 to 60 minutes, typically for 30 minutes, then excitation at the room temperature was performed for 5 to 60 minutes, typically for 15 minutes. When materials that are easy to melt or easy to be alloyed at a relatively low temperature such as aluminum, are used, the maximum heating temperature is set at 500°C. A higher heating temperature (600 to 1000°C) may be used when such materials are not used. However it is important to acknowledge that hydrogen and helium atoms etc. are easy to be desorbed from the atoms in a semiconductor, and freed as H<sub>2</sub> or H<sub>3</sub> in a temperature from 300 to 500°C. Therefore, in conducting induction curing at high temperature, it is necessary to continue applying electric energy even after the temperature is reduced to the room temperature. Moreover, the pressure inside the reaction tube is preferred to be as high as glow discharge, RF induction excitation, and induction curing processes allows.

Therefore, the present invention adopted the pressure at 0.01mmHg or more, typically 0.1 to 100mmHg for doping more than 0.1 mole%, even though the effectiveness of the present invention has been observed in an experiment under a pressure of 10<sup>6</sup> to 10<sup>-5</sup>mmHg. Of course RF induction can be done in a room temperature. At 0.001mmHg or less, it indicated an effectiveness in neutralizing the recombination centers of a low concentration in a single crystal. However, it experimentally required more than one hour of curing.

The frequency shall be microwaves. Especially a frequency between 50 to 1000MHz was found to be greatly effective and favorable even under an atmospheric pressure. In this case, use

of a waveguide as a reaction tube is preferable. Since the size of the waveguide is determined when TEM mode is made, it is better to perform the process by radiating microwaves into the curing oven like it is done in a microwave oven. The pressure in the reaction tube can be increased or decreased during induction curing. At a high temperature, a large amount of additives can be doped into a semiconductor because the equilibrium state between the gas and solid of the semiconductor is large. Therefore, an rapid cool-down while performing induction curing was more effective compare to a gradual cooling. For example, rapid cooling of 900°C substrates down to a room temperature allows the concentration of dopants to be 3 to 10 times of the concentration obtained by a gradual cooling. The reaction gas can be hydrogen only, or helium only. However, it is more preferable to perform an excitation initially by helium and later by hydrogen. Because hydrogen has a characteristic to be tied with dangling bonds, on the other hand, helium has a characteristic to promote unstable dangling bonds to connect each other. Neon in an excited state had a semi-stability 10 to  $10^4$  times of that of helium, and enabled to obtain a large curing effect. More precisely, curing with helium was performed for 5 to 15 minutes at 0.1 to 100mmHg, typically at 10mmHg, then curing with hydrogen was performed for 5 to 15 minutes at 0.01 to 10mmHg, typically at 0.1mmHg. Practically, 100% hydrogen or hydrogen mixed with 5 to 30% of helium or neon was used as the excitation gas.

The embodiment of the present invention was applied to devices such as fig.1 semiconductor device. The volume of said excitation gas was determined by Auger spectroscopy or gas chromatography wherein the excitation gas is doped to a semiconductor, the semiconductor is heated under vacuum to let it release the gas, and the volume of the gas is measured. It was found that the excitation gas was applied 0.1 mole%, typically 1 to 20 mole%. Of course it is more favorable to add 20 mole% or more.

30 to 200 mole% or more, and 30 to 200 mole%. However, a tendency of saturation was observed in general.

Needless to say that the present invention method can be applied not only to non-single crystal semiconductors, but also to single crystal semiconductors. However, the effectiveness of the method was more obvious in non-single crystal semiconductors. In the following embodiment of the present invention, the same induction curing method was used.

Fig.1 (B) is an embodiment of SOS(Silicon-On-Sapphire). The figure shows a  $0.02$  to  $2\mu$  thick semiconductor formed by epitaxial growth on an alumina, sapphire or spinel substrate, a field insulator (3) where a source (5) and a drain (6) are buried, a semiconductor direct contact (7), a self-align gate electrode (12), and a CVD  $\text{SiO}_2$  film (10). In this case, the alumina component of the substrate and semiconductor (9) are connected, and the region indicates non-single crystal state. Due to this, the formations of the source and the drain were abnormally diffused. Therefore, even if the semiconductor film of  $0.01$  to  $0.3\mu$  could be obtained, the device was not practically usable. However, if the excitation process is performed on a finished or an almost finished semiconductor device, the recombination centers of the incomplete layer (9) is reduced down to  $1/100$  to  $1/10000$  of the concentration before the process, and the device can be handled as a single crystal.

This excitation process is greatly effective in neutralizing the interface state between a semiconductor substrate and a gate insulating film, or dangling bonds in a gate insulator, therefore, is very preferable method to improve MIS-FET manufacturing.

Fig.2 is an embodiment of the present invention.

The method of Fig.2 attempts to manufacture a highly concentrated integrated circuit (LSI, VLSI) having a concentration of 2 to 4 times of that of conventional devices by providing the

second MIS-FET on, or on an upper layer of, the first MIS-FET. The following is the explanation in accordance with the figure.

In fig.2 (A), the insulating film (2) such as silicon oxide in a thickness of 0.1 to  $2\mu$  is formed on the semiconductor substrate (1).

In this case, the substrate does not necessarily be a semiconductor. If it satisfies the conditions on the thermal conductivity and processing etc. in a practical thermal processes, it can be an insulator. In this experiment, polycrystal silicon is used. The insulating film (7) is formed by oxidation of the substrate (1).

Over said surface, a semiconductor silicon film is formed in a thickness of 0.1 to  $2\mu$  by low-pressure CVD method. The field insulator (3) is formed in this P-type semiconductor layer which has an impurity concentration of  $10^{18}$  to  $10^{16}\text{cm}^{-3}$ , by selective oxidation using double masks of silicon nitride and silicon oxide. Etching of said field insulator to approximately the same level as the semiconductor layer surface, and removing of a part of the semiconductor layer before silicidation, are also acceptable.

The gate insulating film (12) is formed in a thickness of 100 to 1000A on the surface. This gate insulating film can be a thermally oxidized film formed by oxidation of the semiconductor layer, a film having double layered structure with oxide, phosphine glass, alumina and silicon nitride, or a non-volatile memory forming clusters or films by semiconductors or metals. After this, the second semiconductor layer in a thickness of 0.1 to  $2\mu$  is formed on the surface, and removed selectively. In this figure, a part of said layer is forming the gate electrode (11), and the other part is forming the source (25), the drain (24) and the channel region of the second MIS-FET. The source (5) and the drain (6) of the first MIS-FET are formed by ion

implantation utilizing the gate electrode (11) as a mask. Of course thermal diffusion can be used instead. As the figure indicates, the gate electrode (11) is connected to the source (15) of the second MIS-FET via field insulator (3) which is not indicated in the figure.

After forming the third semiconductor layer (21), the source and the drain of the second MIS-FET are formed by ion implantation or thermal diffusion utilizing the gate electrode (21) and the gate insulator (22). The figure indicates the second MIS-FET provided in the diagonally upper position from where the first MIS-FET is provided. However, the arrangement, the sizes, and the wiring of MIS-FET can be determined by the designer's own preference. As the figure (B) indicates, a resistor and a capacitor can be formed at the same time, on the same substrate, and also a diode such as a protection diode can be formed.

The fig.2 (B) shows a P-channel or a 4-channel MIS-FET comprising; the field insulator (3) in a thickness of 0.5 to  $2\mu$  formed by selective oxidation on the single crystal semiconductor substrate (1), the gate electrodes (11) (11'), the source (4), the drain (31), and the drain (5) doped with phosphorus or boron at a concentration of  $10^{19}$  to  $10^{21}\text{cm}^{-3}$ . It is an example of an inverter wherein the impurity region (31) is utilized as the drain of one MIS-FET, and also as the source of another MIS-FET. The insulating film (10) for overcoating purpose is formed at a thickness of 0.5 to  $2\mu$ . When this surface is flat, precision processing can be applied to the third MIS-FET which is to be formed on this surface. Over said surface, a non-single crystal semiconductor layer is formed in a thickness of 0.2 to  $2\mu$ . The impurity concentration of this layer shall be at  $10^{14}$  to  $10^{16}\text{cm}^{-3}$  to make it a P-type, and the channel region (29) is required to work sufficiently as a channel during operation. The non-single crystal resistor (37) is connected to the source of the third MIS-FET and to the lead (38) by photo masking. The drain (27)

is connected to the electrode (34) under the capacitor. The gate insulating film on this surface is an insulator to the capacitor, and at the same time, a gate insulator of the third MIS-FET. On this film, the gate electrode (21) and the upper electrode (36) of the capacitor are formed. In this experiment, aluminum is used as the material for this formation.

The substrate electrode of the third MIS-FET is connected to the gate electrode of the first MIS-FET so that substrate bias is applied, and the gate electrode (11) is substantially able to control the channel states of the both MIS-FET. If a gate insulator is formed between the channel region (29) and the gate electrode (11), of course the third MIS-FET has to have a double gate structure having gate electrodes at the above and the below. Of course, the upper gate electrode can be removed. That is, a distinctive characteristic of the present invention is to control two MIS-FET by a single gate electrode, and one MIS-FET by two gate electrodes. Moreover, not only a lead, but an active element like MIS-FET, or a resistor, a capacitor and a diode can be provided on a single substrate. In addition, if these elements are integrated, the density of the elements can achieve 2 to 10 times of the elements formation of the device indicated in fig.1. The present invention method would not be possible without the "induction curing" which is, not only able to eliminate recombination centers in a single crystal semiconductor, but also able to offset or neutralize the interface state resides in a polycrystal or amorphous semiconductor, an insulator, or an interface between a semiconductor and an insulator by an inert gas or hydrogen as explained by fig.1 (A) and (B).

As in aforementioned explanation, forming silicon nitride overcoating films on the semiconductor devices of fig.1 and fig.2 by plasma method after the curing process is preferred. It is because the silicon nitride overcoating film confines the

hydrogen or helium atoms doped into the semiconductor device, and prevents them from getting out by its masking effect against those atoms. Therefore, along with sodium contamination prevention effect, it is greatly effective in improving the reliability.

In the embodiments of the present invention mentioned here, silicon semiconductors are mainly referred to. However, the same result can be obtained in germanium semiconductors and also compound semiconductors as GaP, GaAs, GaAlAs, SiC and BP.

In addition, the present invention is effective, not only in MIS-FET, but also in all semiconductor devices such as bipolar transistors or its integrated devices such IIL, SIT and LSI ICs.

#### Brief Description of Figures

Fig.1 shows cross-sections of an embodiment of the present invention.

Fig.2 shows cross-sections of an embodiment of the present invention.



## 1.発明の詳細を説明

本発明は、非半導晶半導体を半導体装置の外

くとも一部に有する 半導体装置およびその作製方法に関する。

本発明は、遮蔽ゲート型電界効果トランジスタ (以下、MIS-PETといふ) のゲート遮蔽物のアス化または熱処理の少なくとも一部が、アモルフアスまたは多結晶のいわゆる非半導晶半導体上

より成り、かつこの半導体中には水素、ヘリウムのような不活性気体または塩素のようなヘロゲン化物を1モルパーセント以上混入せしめる

ことに因する。そしてこの非半導晶領域で不対結合手等による再結合中心を中和かつ消滅せしめることを目的としている。

その結果、電子またはホールの導通度をこれまで知られている半導晶の場合に等しくまたは幾倍等しくさせることを目的としている。

本発明はかかるMIS-PET、さらにヤアベシタ、抵抗またはダイオードが半導体基板上、上面が遮蔽物より成る基板上、さらにまたは第

(3)

10MIS-PETが基板に設けられたその上方または上方面に第2MIS-PETとして設けられることを目的としている。

本発明は、またはN型の導電型を有し、かつその不純物濃度が $2 \times 10^{18} \text{ cm}^{-3}$ 以下、特に例えば $10^{17} \sim 10^{18} \text{ cm}^{-3}$ にかけた非半導晶半導体に対し、その半導体の形成と同時にまたは形成後、特に半導体装置を完成してしまつた後、水素（重水素を含む）、ヘリウムのような不活性ガスまたは塩素のようなヘロゲン化物を $10^{-3} \text{ mbar}$ 以上の圧力にした密閉気中に保存し、かかる密閉気ガスを高周波エネルギーまたはマイクロ波エネルギーにより活性化させて半導体装置中に添加させる半導体装置作製方法に関する。

従来半導体装置は半導晶の半導体基板に対し MIS-PETまたはバイオーラ型のトランジスタ、さらにまたはそれらをヤアベシタ、抵抗、ダイオード等を同一基板に複合化して集成化した装置を製造するにとどまつていた。

このため、アクティブエレメントであるMIS

(4)

-PETまたはトランジスタは必ず半導晶基板に設けられていた。特にMIS-PETにおいてはゲート以下のテциальн領域、またバイオーラ、トランジスタにおいてはベース、コレクタはヤアベシタのライフタイムが微妙に影響を与えるため、その領域はヤアベシタである電子またはホールに対する再結合中心が十分小さい程度の半導晶半導体が用いられていた。さらにPN接合においても逆方向耐圧においてソフト・ブレイターダウンまたはリード増大は格子欠陥その他の格子不整、不対結合手による再結合中心がそれらの基化の主因であつた。

本発明はこれららの根本原因である再結合中心の密度を半導晶でない非半導晶（多結晶またはアモルフアス）にいても十分小さくすることを可能とし、その結果初めて完成したものである。

一般に半導体装置を形成するにあつては、電気的性質にかけた熱処理を必要とする。例えばシリコン半導体においては900~1200°Cで

の不純物の熱拡散、400~550°Cにかけたアルミニユームのコンタクトのアーチ、350~900°Cにかけた酸化珪素、窒化珪素、シリコンの外相法（減圧CVD）による被覆作製である。本発明はこれららすべてまたは大部分の熱処理工程を絶縁膜として完成または大部分が完成した半導体装置に対し、水素、ヘリウムのようないくつかの不活性気体、塩素のようなヘロゲン化物を化学的に活性または原子状態で添加することを特徴とする。本発明ではかかる添加作用を説明して開発キーリング（Induction curing）ともいう。特に水素（重水素を含む）を高周波エネルギーまたはマイクロ波エネルギーにより開発熱起し化学的活性状態にし、その密閉気体に $10^{-3} \text{ mbar}$ 以上の圧力の密閉気中に半導体装置を5分~2時間置かすことにより、この活性状態の水素が半導体に非半導晶半導体中の不対結合手と結合し、さらには不対結合手自身を互いに共有結合せしめ電気的に中和することを特徴としている。

(5)

以下にその実施例について本発明を説明する。

第1図はMIS型電界効果半導体の断面図である。

この発明は、シリコン半導体基板(1)上に200Å～2μの厚さの酸化膜または塗化珪素の膜を形成して、これに半導体基板表面より150～300KeVのイオン注入法により膜または塗膜を打ち込むことにより形成した。これを真空状態または水蒸気圧気にて900～1100°Cで2～30分アーモルを行なつた。さらにその

上面に減圧気相法によりシリコン膜を形成した。これはシラン(SiH<sub>4</sub>)シリコーンシラン

(SiH<sub>2</sub>Cl<sub>2</sub>)その他の珪化物を反応性気体として81～18Torr(=Hg)の圧力状態にした上、500～900°Cの温度で行なういわゆる減圧気相法によつた。発熱は1～18MHzの高周波振盪等を用いた。しかし抵抗加熱てもよい。この減圧気相法による半導体膜の形成は特公昭51-1389に述べた。もちろん室温～500°Cの温度でドープ法またはスペクタ法を利用してもよい。

(7)

としてこの上面に0.1～2μの厚さのシリコン半導体膜を形成した。この膜面は絶縁層(2)が純粋のSiO<sub>2</sub>またはSi<sub>3</sub>N<sub>4</sub>にあつては多結晶であるが、この膜または塗膜の量が10<sup>-4</sup>～10<sup>-3</sup>cm<sup>2</sup>である場合には非晶質を一部に含むエピタキシャル構造である。しかし本実施例においては、実質的にエピタキシャル構造となつていた。しかし再結合中心より少しく少しお完全結晶と同等の半導体とすることはきわめて重要なである。

本発明はかかる再結合中心の密度の多い半導体膜の再結合中心を熱導電気エネルギーにより除去することを目的としている。

フィールド効果物(3)を1～2μの厚さに、本発明の発明による特許(特公昭52-20312、特公昭50-37500)に基づき実施した。このフィールド効果物(3)を100～1000Åの厚さに作り、また必要に応じてシリコン半導体のコントローラーを形成し、その上にセルフアライン方式によりゲート電極(11)を、減圧CVD法により

(8)

半導体膜を作つた。

加えてSiO<sub>2</sub>膜のオーバーコート(10)を0.5～2μの厚さに形成した。この時この上面を平坦面とするためSiO<sub>2</sub>膜のかわりにP+IQ等を用いてよい。アルミニユームの電極の穴あけ(9)、

さらにアルミニユームの電極、リード(8)を形成した。ソース(5)、ドレイン(6)はチャネル形成膜(4)がP型であるつては10<sup>-4</sup>～10<sup>-3</sup>cm<sup>-2</sup>のN<sup>+</sup>膜の

不純物例えばリン、ヒ素により形成した。ゲート電極をモリブデン、タンクステン等の金属で行なつてもよい。また10<sup>-3</sup>cm<sup>-2</sup>以上の濃度にリード等を導入して、低抵抗の半導体リードとしてもよい。この不純物が10<sup>-3</sup>cm<sup>-2</sup>以上、特に10<sup>-2</sup>cm<sup>-2</sup>と多量に導入している場合は、本発明の電気エネルギーによる半導体効果はみられなかつた。一方チャネル領域は不純物濃度が10<sup>-4</sup>～10<sup>-3</sup>cm<sup>-2</sup>の程度である、極めて効率である。

電子束はホールのチャージは半導体では一般に導通効率をもつことが知られていた。しかし本発明はかかる導通効率が結晶質量に

(9)

因するのではなく、その中に存在する再結合中心の反応に帰因するものであることを発見した。本発明はその結果この効率性を与える再結合中心を抑制させようとしたものである。このため、本発明においては、ことに水素またはヘリウムを0.1モルペーセント等に5～20モルペーセント添加した。その結果、第1回Wの放電が出来上つた後、水素の添加によりキャリアのライフタイムが10<sup>3</sup>～10<sup>4</sup>倍になつた。C-VダイオードによつてもQ<sub>1</sub>＝10<sup>-3</sup>cm<sup>-2</sup>のオーダーの電圧効率V<sub>C</sub>～V<sub>D</sub>等性を示していた。水素、ヘリウムのよう不活性ガス、窒素のよう立ヘロゲン化物の化学的動態は以下の方程に従つた。すなわち膜面の直徑5～20cm等に1.5cm(長さ2cm)の石英管に対しその外側に高周波電界をリング状に水管を可逆にした钢管をスペイサル状に巻くことにより実施した。周波数は1～2MHzとした。さらにこの外側に並ぶ加熱器をこの钢管の水管部に対し直角に走るよう逆流して行なつた。钢管等

90

原子を半導体中に導入できた。

この後この温度を室温にまで下げた。この間も反応炉気体の温度を保っていた。即ち、加热十四回を5~60分間に30分だけ、その後温度での加热を5~60分間に15分行なつた。加热回数はアルミニウム等の比較的低い温度で合金化または溶融する材料がある場合は、

500℃が上限であるがそれ以外の場合はそれ以上の温度(600~1000℃)でもつてもよい。しかしひとつの大切なことは水素、ヘリウム等は500~500℃の温度で半導体中の原子との結合をはずれH<sub>2</sub>またはHeとして外に逃散されやすい。このため、高温における脱離やユーリングを行なう場合の温度を室温にまで下げるでも脱離やユーリングのための電気エネルギーを加える必要がある。さらに反応炉内の圧力はダード放電その他の高周波脱離または脱離やユーリングが可能な範囲で高い方が好ましい。

そのため本発明の効果は10<sup>-4</sup>~10<sup>-1</sup>Paで、~~10<sup>-1</sup>~~効果が観察されたが、~~10<sup>-1</sup>~~モル<sup>2</sup>...

## 四

は30~100Paの~~10<sup>-1</sup>~~を用いた。この反応の中特に第1回Wの半導体装置を形成した後例えばシリコン基板(直径10cm)を5~50枚シートに並立させる形でそろてんした。さらにこれを10<sup>-3</sup>Paの圧力にて加熱した。その後水素を導入し、常圧付近にまでどした。さらに今一度10<sup>-4</sup>~10<sup>-1</sup>Paまで真空にし、その後10<sup>-1</sup>~10<sup>-1</sup>Paとした。反応とはたえず一方より水素、ヘリウムを導入し百万より一タリーポンプ等により真空引きを逐段的に行なつた。

追加は抵抗加熱炉により基板を300~500℃に加熱し、その後半導体炉を電圧駆動させた。電圧駆動をさせる場合は、基板での金属膜または金属質の部分のみが局部的に加熱されてしまい、好ましくなかつた。このため、反応炉気体の活性化は電圧駆動とした。さらに温度が300℃以上であると水素原子、ヘリウム原子は自由に半導体中に侵入する(インターステイシング)この固体中に侵入する原子(アル・アトム)のため動きをわることができる。このため十分な平衡状態の温度にまでこれらの

03

パーセントまたはそれ以上とするため201Pa以上特に0.1~10.0Paとした。もちろん電熱での高周波駆動を行なつてもよい。2001Pa以上以下においては半導体中に存在する低い密度の化合物中心を守る効果があるつた。しかしその効果は半導体中の化合物の濃度によって大きく異なるとした。たとえば

この濃度はマイクロ級であるつてもよい。特に周波数が50~1000Hzであるつた場合は反応炉内の圧力が常圧であつてもその効果は著しくあり、好ましかつた。その場合、反応炉は導電性とすると好ましい。TEMモードを作る等、炉の大きさは必然的に求められてしまうため、電子レンジのようマイクロ波をユーリング用オーブン内に導入して実験すると好ましい。開扉やユーリングを行なつている際反応炉の圧力を昇圧または降圧してもよい。高圧では外気と半導体中の気相-固相での平衡状態が大きくなり、そのため高圧にした状態で開扉やユーリングをしつつ

進行することは操作に比べて効果が大きかつた。例えば900℃より室温に冷却すると操作に比べて3~10倍の効率に導入できた。反応性気体は水素のみまたはヘリウムのみでもよい。しかしながら水素は不対結合手と結合するがヘリウムは半導体を不対結合手をたたいて互いの結合を促進するため、実験には最初ヘリウムで開始し、その後水素で行なうのが好ましい。即ち、Heで0.1Paのユーリングを3~15分、0.1~100Paで10Paで行ない、その後3~15分0.01~10Paで水素で0.1Paで水素で0.1Paで0.1Paで行なつた。また、実用的には水素100Paまたは水素中に3~30%ヘリウムを混入させて脱離ガスとした。

本発明方法を第1回のよう半導体装置に実験したが、かかる脱離ガスの脱離量の検定は半導体にかかる気体を導入しその基板を真空炉で加熱し、かかる気体を放出させてその量を定量化するいわゆるガスクロマトグラフはオージェの分析により定量化した。その場合脱離ガス

04

は51モルパーセント特に1~20モルパーセント添加されていることを明示した。もちろん20モルパーセント以上30~200モルパーセント以上30~200モルパーセントを加えることはさらに好ましい。しかし一般には既知技術が示された。

本発明方法は非半導晶のみではなく、半導晶の半導体に対しても同様に適用できることはいうまでもない。しかし特に非半導晶半導体の方がその効果は顕著であつた。以下の本発明の実験例においてもこれまで記載したと同様の方法によつて開発チャーリングを行なつた。

第1図はSOS(シリコン-オシ-アファイア)の実施例である。アルミナ、アファイト、スピネル等の基板(1)上の半導体を0.2~2.0の厚さにエピタキシアル成長せしめ、さらにソーダス(5)、ドレイン(4)に覆層したフィールド遮蔽物(4)、(3)、半導体ダイレクトコンタクト(2)、セルフアライングゲート電極(3)ゲート遮蔽物(12)、CVD SiO<sub>2</sub>膜(10)の実施例である。この場合、基板のアルミナ成分と半導体とが(1)の部分で接合し、非半導晶状態を呈してしまつた。このため、

ソース、ドレインの形成が異常状態を示してしまつた。このためこの半導体膜はその厚さを0.1~0.3μの厚さに作ることがたとえできても、実用上は既にたたかつた。しかし本発明のように、0.1~0.5μの厚さであつても、これらの半導体デバイスを完成またはほとんど完成させた後開発処理を行なうならば、この不完全回路はその再結合中心が1/100~1/1000とその密度が減少し、これまで知られている半導晶と同様に取り扱うことができるようになつた。この開発処理は半導体基板とゲート遮蔽物との間に存在する界面またはゲート遮蔽物中に存在する不対結合手を中和する効果が強くあり、MIS-FETの作製法の向上にむけて好ましい方法であつた。

第2図は他の本発明の実施例である。この第2図は、ひとつOMIS-FETの上部または上方に對して第2OMIS-FETを設け、これまでより2~4倍の高密度の集積回路(LSI, VLSI)を製造しようとしたものであつた。

60

る。

以下に図面に従つて説明する。

第2図は半導体基板(1)上に酸化珪素のようを遮蔽層(2)を0.1~2.0の厚さで形成した。この場合基板は半導体である必要は必ずしもない。その後の開発処理実用上の既知等、加工等の条件を用いたせば遮蔽物であつてもよい。ここでは多孔性のシリコンを用いた。遮蔽層は基板(1)を酸化して形成した。

さらにこの上面に被覆CVD膜を用いてシリコンを0.1~2.0の厚さで形成した。そしてその不対結合度は10<sup>12</sup>~10<sup>13</sup>cm<sup>-2</sup>である。この半導体膜を酸化珪素、酸化珪素の二重膜をマスクとした過酸化水素によりフィールド遮蔽物(4)を半導体膜に覆層して形成した。この際このフィールド遮蔽物(4)と半導体膜とは酸陥用一平面上をようやくフィールド遮蔽物(4)をエッチしてもよく、また酸化膜に半導体膜の一部を除去しておいてもよい。

さらにゲート遮蔽層(2)を100~1000Å

厚さに形成した。このゲート遮蔽層は半導体用の酸化による熱酸化膜でもつても、また酸化物とリンガラス、アルミナ、酸化珪素との二重構造であつても、またこのゲート遮蔽物中にクラスターまたは膜を半導体または金属で形成する不揮発性ノモリとしてもよい。この後この上面に第2の半導体層を0.1~2.0の厚さに形成し酸陥的に除去した。この図面ではそのひとつはゲート電極(11)他は第2OMIS-FETのソース

(25)、ドレイン(24)、ナキル側壁(29)としたゲート電極(11)をマスクとして、第1のMIS-FETのソース(3)、ドレイン(4)をイオン注入法により形成した。もちろん熱酸化膜を用いてもよい。さらに図面より明らかのようにゲート電極(11)は図示されていないフィールド遮蔽物(4)上を経て第2OMIS-FETのソース(15)に連絡されている。

第2OMIS-FETは第3の半導体層(21)を形成して後、ゲート電極(21)とそのOTのゲート遮蔽物(22)によりイオン注入または熱酸化

61

この<sup>1</sup>で作る第3OMIS-PETに對し酸化加工が可能である。この後、この上面に非導電性半導体を22~24の厚さに形成した。この不純物濃度は10<sup>-4</sup>~10<sup>-5</sup>wt%でP型とし、チャネル電極(27)が動作を直で十分チャネルとして働くことを条件とさせた。さらにフォトマスクにより非導電性の抵抗(37)をこの第3OMIS-PETのソースに連結し、リード(38)につなげた。ドレイン(27)はチャネル(26)の下側電極(34)に連結した。この上面のゲート電極はチャネル(26)の膜厚であり、かつ第3OMIS-PETのゲート電極である。この上面にゲート電極(21)をよりチャネル(26)の上側電極(34)を形成した。この実施例ではこれらはアルミニウム金属を用いた。

第3OMIS-PETの基板電極は基板ペイントが印刷されるよう第1OMIS-PETのゲート電極に連結されており、ゲート電極(11)は実質的にふたつのOMIS-PETのチャネル状態を制御できるようになっている。もちろんこのチャネル電極(27)とゲート電極(11)との間にゲート電極が形成されるならば、第3OMIS-

## 回

板を利用してドレインを形成しなはずした。この四回は第1OMIS-PETの外上方に第2OMIS-PETを設けたものである。しかし第2OMIS-PETの上面、大きさをシビックな面は既に既に形成に要つてはされるものである。さらに図に示すように抵抗、チャネル(26)、ゲートを同時に同一面板に作り、また保護ダイオードやショート等のダイオードを作つてもよい。

図3: 第2回は半導体基板(3)に対し過酸化によりフィールド絶縁物(3)を25~28の厚さに形成している。加えて半導体等のゲート電極(11)(11')を設け、ソース(4)、ドレイン(31)、ドレイン(3)を10<sup>-4</sup>~10<sup>-5</sup>wt%の濃度に形成した。これはリソフを導入させてアチャネルまたはチャネルMIS-PETを形成させたものである。不純物電極(31)は一方のOMIS-PETのドレインであり他方のOMIS-PETのソースとして作用する。またオーバーコート用絶縁物(10)を25~28の厚さに形成して、この上面が平面であると、

回

PETは下側と上側にゲート電極を有するダブルゲートMIS-PETとなる。もちろん上側のゲート電極を除去してもよい。即ち、ひとつのみのゲートでふたつのOMIS-PETを制御したり、またふたつのゲートでひとつのみのMIS-PETを制御したりすることが本発明の特徴である。加えて、同一面板にリードのみではなく、MIS-PETのようなチャネルエレメントまたは抵抗、チャネルチャネルさらにダイオードを設けることもできる。加えてこれら複数のエレメントを集積化するならば、第1回に示した一般的のエレメントの形成に対し、その2~10倍の面積とすることが可能である。

以上の発明の特徴は、このOMIS-PETに於て、図に示すように「銀耳チャネル」を形成する。これらはアセチルを充てせたり、または大部分を充てせた後行なうことにより半導体半導体での再結合中心を除去することのみならず、多孔性半導体またはアモルファス導性の半導体または绝缘性半導体さらにまたは半導体と绝缘性半導体との界面に

存在する界面単位を不活性気体でめぐらまたは水蒸気等により中和できることにより改めて可能となるものである。

以上の説明についてこれら第1回、第2回の半導体装置がチャネル化装置をプラスチックで形成しオーバーコートをするのが好ましい。なぜなら塗装装置は水素ヘリウム等の混合ガスに對してもマスク作用を有するため一度半導体装置内に混入された水素、ヘリウム等を対じて外に出さないようにする効果があるからである。そのため外露よりのナトリウム等の汚染防止に加えて活性向上の効果が著しい。

本発明の実施例においては半導体材料としてはシリコン半導体を中心として説明した。しかしこれはグルーバニーム等でもつても用可能である。GaP、GaAs、GaAlAs、SiC、BP等の化合物半導体でもつても用可能である。

加えて、半導体装置は半導体MIS-PETに限られることなく、ペイントラジオランゲスターまたはそれらを塗装化したIL、SIT等のIC

## 回

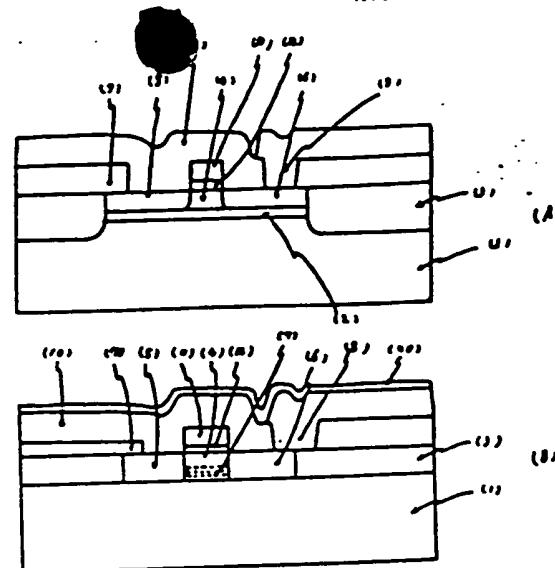
LSIでもつても用ひたり、すべての半導体装置に対して有効である。

#### 4. 普通の圖書を説明

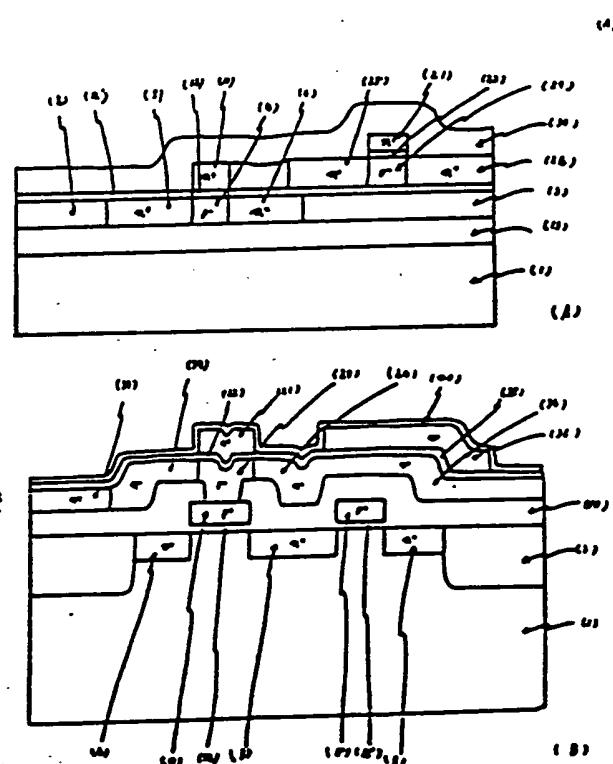
図1 図は本発明の実施例を示す断面図である。

第2図は本発明の他の実施例を示す最新図である。

人頭出許得



卷八



128